



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

①2 **Offenlegungsschrift**
①0 **DE 100 11 885 A 1**

⑤1 Int. Cl. 7:
H 01 L 21/336

①2

②1 Aktenzeichen: 100 11 885.2
②2 Anmeldetag: 7. 3. 2000
④3 Offenlegungstag: 15. 11. 2001

DE 100 11 885 A 1

⑦1 Anmelder:
Infineon Technologies AG, 81669 München, DE

⑦4 Vertreter:
Kindermann, P., Dipl.-Ing.Univ., Pat.-Anw., 85598
Baldham

⑦2 Erfinder:
Wurzer, Helmut, Dr., 01109 Dresden, DE;
Langheinrich, Wolfram, Dr., 01324 Dresden, DE

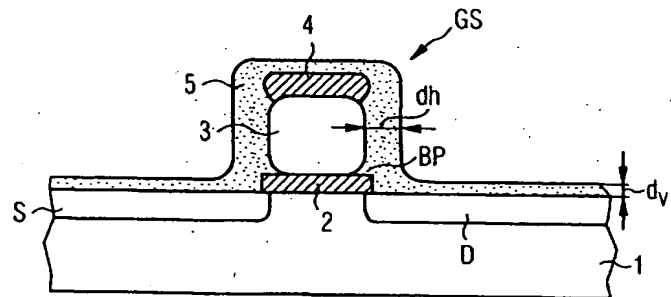
⑤6 Entgegenhaltungen:
US 59 72 783 A
US 59 23 983 A
KUSUNOKI, S. et al.: IEDM 91, 649-652;
DOYLE, B. et al.: IEEE Electron Dev.Lett.,
Vol. 16, No. 7, July 1995, 301-302;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Verfahren zur Herstellung eines Feldeffekttransistors mit Seitenwandoxidation

⑤7 Die Erfindung betrifft ein Verfahren zur Herstellung eines Feldeffekttransistors mit Seitenwandoxidation, bei dem insbesondere durch Implantieren von Isolationschicht-Wachstumshemmern (x) und einem nachfolgenden thermischen Ausbilden einer Thermo-Isolationschicht (5) an der Oberfläche eines Halbleitersubstrats (1) und an den Seitenwänden eines Gate-Stapels (GS) unterschiedlich dicke Isolationsschichten (d_h , d_v) ausgebildet werden. Insbesondere die Zuverlässigkeit einer Gate-Isolationsschicht (2) und eine Ladungshalteeigenschaft des Feldeffekttransistors lassen sich dadurch wesentlich verbessern.



DE 100 11 885 A 1

Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf ein Verfahren zur Herstellung eines Feldeffekttransistors mit Seitenwandoxidation und insbesondere auf ein Verfahren zur Herstellung eines Feldeffekttransistors mit verbesserter Ladungshaltezeit, wie er in DRAM- und FLASH-Speichern verwendet werden kann. Insbesondere in integrierten Schaltungen zur Realisierung von Speichermodulen, wie z. B. DRAM-, FLASH-, EPROM- usw. Speichern werden an die darin eingesetzten Feldeffekttransistoren außerordentlich hohe Anforderungen hinsichtlich Ladungshaltungseigenschaften bzw. Ladungshaltezeit (retention time) gestellt. Eine mögliche Ursache für unzureichende Ladungshalteeigenschaften liegen beispielsweise darin, dass nach einer Gate-Stapel-Strukturierung eines Feldeffekttransistors durchgeführte Prozesse eine Gate-Isolationsschicht in der Nähe des Gate-Stapels schädigen können, wodurch sich Leckströme im Feldeffekttransistor ergeben. Üblicherweise werden zur Beseitigung von derartigen Leckeigenschaften die Schichtdicken der Isolationsschichten an den Seitenwänden des Gate-Stapels erhöht, wodurch sich jedoch gleichzeitig auch die Dicke einer Isolationsschicht auf einem Halbleitersubstrat erhöht. Die Isolationsschicht auf dem Halbleitersubstrat wirkt jedoch für eine nachfolgende Implantation von Source- und Draingebieten als Streuoxid, wodurch sich schließlich ein Kurzkanalverhalten des Feldeffekttransistors aufgrund der erhöhten Implantationsenergien verschlechtert.

[0002] Eine weitere Ursache für die geringen Ladungshalteeigenschaften von Feldeffekttransistoren kann beispielsweise im Auftreten von hohen Feldstärken an den Ecken bzw. Kanten einer Gateschicht liegen. Fig. 1 zeigt eine vereinfachte Schnittansicht eines herkömmlichen Feldeffekttransistors zur Veranschaulichung einer derartigen Fehlerursache. In Fig. 1 ist auf einem Halbleitersubstrat 1 eine Gate-Isolationsschicht 2 und eine Gateschicht 3 stapelförmig ausgebildet. Im Halbleitersubstrat 1 ausgebildete und an die Gate-Isolationsschicht 2 heranreichende Source- und Draingebiete S und D ergeben somit einen Feldeffekttransistor, wie er beispielsweise in DRAM-, Flash-, usw. Speicherzellen eingesetzt wird. Zur seitlichen Isolierung bzw. zum Ausbilden von stark dotierten Source- und Draingebieten werden üblicherweise an den Seitenwänden der Gate-Isolationsschicht 2 und der Gateschicht 3 sogenannte Spacer bzw. Hilfsschichten SP verwendet. Nachteilig ist jedoch bei einem derartigen herkömmlichen Feldeffekttransistor insbesondere die bei der Gate-Isolationsschicht 2 auftretende scharfe Kante bzw. Ecke der Gateschicht 3. Genauer gesagt werden beim Anlegen von üblichen Betriebsspannungen, wie sie beispielsweise in einer Speichermatrix zum Auswählen von Zeilen und Spalten verwendet werden, aufgrund der scharfkantigen Form sehr hohe Feldstärken E zwischen der Gateschicht 3 und den Source- und Draingebieten S und D ausgebildet, wodurch sich Leckströme im Feldeffekttransistor ergeben und somit die Ladungshaltezeiten von Speicherzellen verschlechtert werden. Insbesondere ein sogenannter GIDL-Leckstrom (gate induced drain leakage) wird dadurch verursacht.

[0003] Zur Vermeidung von derartigen Leckströmen, die sich insbesondere aus den hohen Feldstärken E an den Kanten der Gateschicht 3 ergeben, wird üblicherweise eine sogenannte Seitenwandoxidation durchgeführt, wodurch im wesentlichen die scharfen Kanten bzw. Ecken der Gateschicht 3 abgerundet werden und folglich die Feldstärken E vereinheitlicht bzw. verringert werden.

[0004] Fig. 2 zeigt eine vereinfachte Schnittansicht eines derartigen herkömmlichen Feldeffekttransistors mit Seiten-

wandoxidation. In Fig. 2 bezeichnen wiederum die Bezugszeichen 1 ein Halbleitersubstrat, das Bezugszeichen 2 eine Gate-Isolationsschicht und das Bezugszeichen 3 eine Gateschicht. Im Halbleitersubstrat 1 sind wiederum Source- und Draingebiete S und D ausgebildet. Gemäß Fig. 2 wird nunmehr durch einen thermischen Oxidationsprozeß ein Gate-Stapel mit seinen scharfen Kanten derart oxidiert, dass sich an den Rändern des Gate-Stapels sogenannte Vogelschnäbel bzw. birds peaks BP ausbilden. Genauer gesagt wird bei der thermischen Oxidation eine Oberfläche des Halbleitersubstrats 1 sowie eine Seitenwand des Gate-Stapels bzw. der Gateschicht 3 derart oxidiert, dass sich eine gleichmäßig dicke Thermo-Isolationsschicht 5 ausbildet, die insbesondere die scharfen Kanten bzw. Ecken der Gateschicht 3 in ihrem unteren Bereich abrundet. Auf diese Weise lassen sich die erhöhten Feldstärken E an den Kanten bzw. Ecken der Gateschicht 3 verringern, wodurch sich eine Verringerung von Leckströmen im Feldeffekttransistor ergibt. Nachteilig ist jedoch bei einer derartigen Seitenwandoxidation, dass sich auf dem Halbleitersubstrat 1 eine relativ dicke Isolationsschicht 5 ergibt, die bei einem nachfolgenden Implantationsprozeß als Streu-Isolationsschicht wirkt.

[0005] Insbesondere bei hochintegrierten Schaltungen bzw. bei Feldeffekttransistoren mit sehr kleiner Strukturbreite von $\leq 1 \mu\text{m}$ ergeben sich jedoch dadurch derart unscharfe Implantationsgebiete, die wiederum einen Durchgreifeffekt bzw. Punch-Through-Effekt verursachen. Zur Vermeidung von derartigen Punch-Through-Effekten müssen daher entweder sogenannte Anti-Durchgreifgebiete bzw. Anti-Punch-Through-Gebiete im Kanalgebiet des Feldeffekttransistors ausgebildet werden.

[0006] Alternativ entfernt man daher nachträglich die während der Seitenwandoxidation entstandene dicke Thermo-Isolationsschicht 5, implantiert daraufhin die Source- und Draingebiete und führt abschließend eine thermische Oxidation der Halbleitersubstratoberfläche durch, wodurch man die für den Prozeß notwendigen dünnen und definierten Isolationsschichten erhält. Nachteilig bei diesem Mehrstufenprozeß ist jedoch wiederum ein erhöhtes Temperaturbudget, bei dem insbesondere die Dotiergebiete verlaufen und somit wiederum die vorher beschriebenen verschlechterten Kurzkanaleigenschaften verursacht werden. Ferner ist ein derartiger herkömmlicher Herstellungsprozess außerordentlich aufwendig.

[0007] Der Erfindung liegt daher die Aufgabe zugrunde, ein Verfahren zur Herstellung eines Feldeffekttransistors mit Seitenwandoxidation zu schaffen, bei dem auf einfache und kostengünstige Weise Feldeffekttransistoren mit hervorragenden Ladungshalteeigenschaften ausgebildet werden können.

[0008] Erfindungsgemäß wird diese Aufgabe durch die Maßnahmen des Patentanspruchs 1 gelöst.

[0009] Insbesondere durch das Implantieren von Isolationsschicht-Wachstumshemmern in die Oberfläche des Halbleitersubstrats bzw. des Gate-Stapels und ein nachfolgendes thermisches Ausbilden einer Thermo-Isolationsschicht, erhält man einen selbstjustierenden Prozeß, bei dem auf besonders einfache und kostengünstige Weise eine starke Seitenwandoxidation sowie eine schwache Oxidation der Halbleitersubstratoberfläche erfolgt.

[0010] Vorzugsweise wird als Isolationsschicht-Wachstumshemmer N, N₂ oder ein Nitrid in die Oberfläche des Halbleitersubstrats bzw. des Gate-Stapels eingebaut. Da derartige Implantationsstoffe bereits in Standardprozessen implementiert sind, kann das Herstellungsverfahren ohne zusätzlichen Mehraufwand realisiert werden.

[0011] Das Implantieren der Isolationsschicht-Wachstumshemmer wird vorzugsweise senkrecht zur Oberfläche

des Halbleitersubstrats durchgeführt, wodurch man eine gleichmäßig dicke Isolationsschicht an den Seitenwänden des Gate-Stapels erhält. Auf diese Weise werden sowohl source- als auch drainseitig sogenannte Vogelschnäbel bzw. birds peaks ausgebildet, wodurch sich die elektrischen Feldstärken wesentlich verringern bzw. vereinheitlichen lassen.

[0012] Das Implantieren der Isolationsschicht-Wachstumshemmer kann jedoch auch schräg zur Oberfläche des Halbleitersubstrats erfolgen, wodurch lediglich eine Seitenwand des Gate-Stapels einer starken Seitenwandoxidation ausgesetzt ist und die weitere Seitenwand eine relativ geringe Oxidation erfährt. Auf diese Weise kann selektiv ein lediglich auf Source- oder Drainseite auftretender Leckstrom gezielt verringert werden.

[0013] Ferner kann eine schwach dotierte Source- und Drainimplantation vor oder nach der Implantation der Isolationsschicht-Wachstumshemmer durchgeführt werden, wodurch sich eine optimale Anpassung an einen jeweiligen Prozeß ergibt. In gleicher Weise kann eine Gate-Isolationsschicht nur zum Teil entfernt werden und als Rest-Isolationsschicht auf der Halbleitersubstratoberfläche verbleiben, wodurch sich wiederum eine optimale Anpassung an bereits existierende Herstellungsprozesse ergibt und insbesondere die Realisierung eines sogenannten eingebetteten bzw. embedded Prozesses ermöglicht wird.

[0014] In den weiteren Unteransprüchen sind weitere vorteilhafte Ausgestaltungen der Erfindung gekennzeichnet.

[0015] Die Erfindung wird nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher beschrieben. Es zeigen:

[0016] Fig. 1 eine vereinfachte Schnittansicht eines Feldeffekttransistors gemäß dem Stand der Technik;

[0017] Fig. 2 eine vereinfachte Schnittansicht eines Feldeffekttransistors mit Seitenwandoxidation gemäß dem Stand der Technik;

[0018] Fig. 3A bis 3G vereinfachte Schnittansichten zur Veranschaulichung der einzelnen Verfahrensschritte zur Herstellung des erfindungsgemäßen Feldeffekttransistors mit Seitenwandoxidation gemäß einem ersten Ausführungsbeispiel; und

[0019] Fig. 4A und 4B vereinfachte Schnittansichten zur Veranschaulichung von wesentlichen Verfahrensschritten zur Herstellung des erfindungsgemäßen Feldeffekttransistors mit Seitenwandoxidation gemäß einem zweiten Ausführungsbeispiel.

[0020] Fig. 3A bis 3G zeigen vereinfachte Schnittansichten zur Veranschaulichung von jeweiligen Herstellungsschritten des erfindungsgemäßen Feldeffekttransistors mit Seitenwandoxidation gemäß einem ersten Ausführungsbeispiel, wobei gleiche Bezugszeichen gleiche oder ähnliche Elemente bzw. Schichten wie in den Fig. 1 und 2 darstellen und auf eine detaillierte Beschreibung nachfolgend verzichtet wird.

[0021] Gemäß Fig. 3A wird zunächst ein Halbleitersubstrat 1 vorbereitet, das vorzugsweise aus Silizium, SiGe, SiC, SOI, GaAs oder einem sonstigen III-V-Halbleiter bestehen kann.

[0022] Gemäß Fig. 3B wird in einem nachfolgenden Verfahrensschritt eine Gate-Isolationsschicht 2 ganzflächig auf dem Halbleitersubstrat 1 ausgebildet, wobei vorzugsweise eine thermische Oxidation des Halbleitersubstrats 1 oder ein chemisches Abscheideverfahren (CVD) verwendet wird. Vorzugsweise besteht die Gate-Isolationsschicht 2 aus einer SiO_2 -Schicht, die insbesondere bei der Realisierung von FLASH-Speichern auch als Tunneloxidschicht verwendet werden kann.

[0023] Gemäß Fig. 3C wird in einem nachfolgenden Verfahrensschritt eine elektrisch leitende Gateschicht 3 ganzflä-

chig auf der Gate-Isolationsschicht 2 ausgebildet und mit einer Maskenschicht 4 bedeckt. Die Maskenschicht 4 besteht vorzugsweise aus einer Hartmaske wie z. B. SiO_2 , kann jedoch auch als Lackmaske oder sonstige Maskierungsschicht

realisiert werden. Nach Strukturierung der Maskenschicht 4 wird nunmehr unter Verwendung der verbleibenden Maskenschicht 4 sowohl die Gateschicht 3 als auch die Gate-Isolationsschicht 2 derart strukturiert, dass sich ein Gate-Stapel GS ergibt. Das Strukturieren der Gateschicht 3 und der Gate-Isolationsschicht 2 wird vorzugsweise durch ein anisotropes Ätzverfahren realisiert, wobei auch alle weiteren herkömmlichen Verfahren zur Strukturierung von Gate-Stapeln verwendet werden können. Für die elektrisch leitende Gateschicht 3 wird beispielsweise hochdotiertes Polysilizium verwendet, wobei jedoch grundsätzlich auch jedes weitere leitende Material verwendet werden kann. Vorzugsweise werden sogenannte "Dual-Workfunktionsgates" verwendet, wobei zunächst undotiertes Polysilizium als Gateschicht 3 ausgebildet wird, welches zu einem späteren Zeitpunkt gemeinsam mit einer Source-/Drainimplantation dotiert wird. Ferner kann bei der Strukturierung gemäß Fig. 3C zum Ausbilden des Gate-Stapels GS die Gate-Isolationsschicht 2 vollständig oder aber nur teilweise entfernt werden, wobei eine (nicht dargestellte) Rest-Isolationsschicht weiterhin die Oberfläche des Halbleitersubstrats 1 bedeckt.

[0024] Gemäß Fig. 3D erfolgt nunmehr eine vertikale Implantation I_N von Isolationsschicht-Wachstumshemmern x in die Oberfläche des Halbleitersubstrats 1 als auch in die Oberfläche des Gate-Stapels GS, bzw. der Maskenschicht 4. Die Isolationsschicht-Wachstumshemmer x haben hierbei die Aufgabe ein Wachstum einer thermisch ausgebildeten Thermo-Isolationsschicht 5 zu behindern, wodurch sich ein selbstjustierender Prozeß für unterschiedliche Oxiddicken an der Oberfläche des Halbleitersubstrats 1 und an den Seitenwänden des Gate-Stapels GS realisieren lässt.

[0025] Vorzugsweise werden bei der Implantation I_N zum Implantieren von Isolationsschicht-Wachstumshemmern x Stickstoff, N_2 oder Nitride in die Oberfläche des Halbleitersubstrats bzw. des Gate-Stapels GS eingebracht. Es können jedoch alle weiteren Isolationsschicht-Wachstumshemmer verwendet werden, die bei einer nachfolgenden thermischen Oxidation bzw. bei einem nachfolgenden Ausbilden einer Isolationsschicht ein Wachstum der Isolationsschicht bzw. Oxidschicht beeinflussen können. Da jedoch die Implantation insbesondere von Stickstoff mit seiner wachstumshemmenden Wirkung auf Oxidschichten bereits bekannt ist und in Standardprozessen bereits zur Verfügung steht, wird vorzugsweise dieser Implantationsstoff verwendet, wodurch sich die Herstellung weiter vereinfacht.

[0026] Gemäß Fig. 3E wird nunmehr in einer weiteren Implantationsschicht wiederum selbstjustierend unter Verwendung des Gate-Stapels GS eine Implantation I_{LDD} zum Ausbilden von schwach dotierten Source- und Draingebieten S und D durchgeführt, die unmittelbar angrenzend an die Gate-Isolationsschicht 2 im Halbleitersubstrat 1 ausgebildet werden. Gemäß Fig. 3E wird die Implantation I_{LDD} zum Ausbilden von schwach dotierten Source- und Draingebieten S und D im Halbleitersubstrat 1 nach der Implantation I_N zum Implantieren der Isolationsschicht-wachstumshemmer x durchgeführt. Sie kann jedoch in gleicher Weise auch vor der Implantation I_N zum Implantieren der Isolationsschicht-Wachstumshemmer x durchgeführt werden, wodurch sich eine optimale Anpassung an einen zur Verfügung stehenden Herstellungsprozeß ergibt. Insbesondere zur Realisierung von eingebetteten Speicherstrukturen in andere Logikschaltungen (embedded process) wird auf diese Weise eine gleichzeitige Herstellung von unterschiedlichen Schaltungsmodulen in einem gemeinsamen Halbleitersubstrat 1 und

mit einem gleichen Herstellungsverfahren ermöglicht.

[0027] Gemäß Fig. 3F folgt in einem anschließenden thermischen Oxidationsschritt nunmehr die eigentliche Seitenwandoxidation, wobei eine Schichtdicke einer thermisch ausgebildeten Thermo-Isolationsschicht 5 abhängig ist von den in Fig. 3D eingebrachten Isolationsschicht-Wachstumshemmern x. Genauer gesagt bedeutet dies, dass eine Oberfläche des Halbleitersubstrats 1 und der Maskenschicht 4 ein relativ geringes Oxidwachstum aufweist, da eine Vielzahl von Isolationsschicht-Wachstumshemmern x bzw. eine hohe Konzentration von Stickstoff als Oxidationshemmer eingebracht ist. Die Schichtdicke d_t der Thermo-Isolationsschicht 5 in vertikaler Richtung kann daher auf sehr kleine Werte eingestellt werden. Demgegenüber sind die implantationsfreien Seitenwände des Gate-Stapels GS einem starken Oxidwachstum ausgesetzt, weshalb sich eine außerordentlich starke Oxidation mit der gewünschten damit einhergehenden Ausbildung von Vogelschnäbeln bzw. birds peaks BP realisieren läßt. Die Schichtdicke d_p der Thermo-Isolationsschicht 5 in horizontaler Richtung ist somit um ein Vielfaches größer als die vertikale Schichtdicke d_t .

[0028] Auf diese Weise werden die scharfen Kanten der Gateschicht 3 durch die starke Seitenwandoxidation bzw. durch das Ausbilden der birds peaks BP derart abgerundet, dass in einem (nicht dargestellten) Betriebsmodus die dabei auftretenden Feldstärken wesentlich verringert und vereinheitlicht sind. Das Auftreten von Leckströmen im erfindungsgemäßen Feldeffekttransistor ist dadurch wesentlich verringert, wobei sich insbesondere die Ladungshalteeigenschaften in Speichermodulen stark verbessern. Darüber hinaus wird jedoch auch eine Zuverlässigkeit der Gate-Isolationsschicht 2 verbessert, was insbesondere bei der Herstellung von nicht flüchtigen Halbleiterspeicherzellen mit sogenannten "Floating-gate"-Feldeffekttransistoren von Bedeutung ist.

[0029] Gemäß Fig. 3G wird in einem nachfolgenden Verfahrensschritt eine weitere Implantation I_{SD} zum Ausbilden von stark dotierten Source- und Draingebieten S und D durchgeführt, wobei beispielsweise wiederum ein selbstjustierender Prozeß unter Verwendung des oxidierten Gate-Stapels GS durchgeführt wird. Alternativ hierzu kann jedoch auch wie üblicherweise eine Hilfsschicht bzw. ein Spacer an den Seitenwänden des Gate-Stapels GS ausgebildet werden, wodurch sich die stark dotierten Source- und Draingebiete S und D im Halbleitersubstrat 1 ergeben.

[0030] Wesentlich für die vorliegende Erfindung ist jedoch nunmehr die selektiv einstellbare Größe eines dafür notwendigen Streuoxids SO_x , das im wesentlichen durch die vertikale Dicke d_t der Thermo-Isolationsschicht 5 bestimmt wird. Insbesondere in modernen MOS-Transistorschaltungen mit sehr geringen Strukturgrößen sind derartige dünne und einstellbare Streuoxide auch nach einer Gate-Stapel-Ausbildung von großer Bedeutung.

[0031] Vorzugsweise wird das thermische Ausbilden der Thermo-Isolationsschicht 5 mit einem herkömmlichen thermischen Oxidationsverfahren durchgeführt, wobei vorzugsweise ein Polysilizium der Gateschicht 3 in SiO_2 der Thermo-Isolationsschicht 5 umgewandelt wird. Demzufolge bestehen im bevorzugten Ausführungsbeispiel gemäß Fig. 3 die Gate-Isolationsschicht 2, die Maskenschicht 4 und die Thermo-Isolationsschicht 5 aus SiO_2 .

[0032] Fig. 4A und 4B zeigen vereinfachte Schnittansichten zur Veranschaulichung von wesentlichen Herstellungsschritten des Feldeffekttransistors gemäß einem zweiten erfindungsgemäßen Ausführungsbeispiel, wobei wiederum gleich Bezugszeichen gleiche oder ähnliche Elemente bzw. Schichten wie in Fig. 3A bis 3G darstellen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

[0033] Gemäß Fig. 4A und 4B sind lediglich die für die Erfindung wesentlichen Verfahrensschritte der Implantation von Isolationsschicht-Wachstumshemmern x und dem thermischen Ausbilden der Thermo-Isolationsschicht 5 dargestellt, wie sie den Fig. 3D und 3F entsprechen, wobei jedoch weitere Verfahrensschritte wie in Fig. 3A bis 3C, 3E und 3D analog anzuwenden sind.

[0034] Gemäß Fig. 4A erfolgt im Gegensatz zum gleichwertigen Verfahrensschritt gemäß Fig. 3D im vorliegenden zweiten Ausführungsbeispiel eine schräge Implantation I_{NS} von Isolationsschicht-Wachstumshemmern x auf die Oberfläche des Halbleitersubstrats 1 bzw. den Gate-Stapel GS. Eine derartige schräge Implantation I_{NS} kann beispielsweise dann vorteilhaft sein, wenn lediglich drain- oder sourceseitig ein Leckstrom aufgrund von erhöhten Feldstärken bzw. eine Beschädigung der Gate-Isolationsschicht 2 zu erwarten ist. Ferner ist in Fig. 4A eine Strukturierung des Gate-Stapels GS derart erfolgt, dass die Gate-Isolationsschicht 2 nicht vollständig entfernt wird und eine Rest-Isolationsschicht RI auf dem Halbleitersubstrat 1 verbleibt. Eine derartige Rest-Isolationsschicht RI kann beispielsweise für eine (nicht dargestellte) Implantation von schwachen Source- und Draingebieten als Streuoxid nützlich sein. Es sei jedoch an dieser Stelle ausdrücklich darauf hingewiesen, dass die Verwendung dieser Rest-Isolationsschicht RI auch im ersten Ausführungsbeispiel gemäß Fig. 3A bis 3G erfolgen kann.

[0035] Gemäß Fig. 4A wird durch die schräge Implantation I_{NS} von Isolationsschicht-Wachstumshemmern x, die vorzugsweise N, N_2 oder einen Nitrid aufweisen, sowohl die Oberfläche des Halbleitersubstrats 1 und der Maskenschicht 4 als auch eine der Implantation zugewandte Seitenwand des Gate-Stapels GS mit Oxidationshemmern beschossen. Somit ergibt sich im wesentlichen nur eine von Oxidationshemmern freie Seitenwand sowie ein kleiner Abschnitt der Oberfläche des Halbleitersubstrats 1, die im Schatten der schrägen Implantation I_{NS} zum Implantieren der Isolationsschicht-Wachstumshemmer x liegen.

[0036] Gemäß Fig. 4B, die im wesentlichen einem Verfahrensschritt gemäß Fig. 3F entspricht, wird in einem nachfolgenden Herstellungsschritt vorzugsweise mittels eines thermischen Verfahrens die Thermo-Isolationsschicht 5 an der Oberfläche des Halbleitersubstrats 1 bzw. der Rest-Isolationsschicht RI und dem Gate-Stapel GS ausgebildet. Die Thermo-Isolationsschicht 5 besitzt hierbei wiederum eine Dicke entsprechend den bei der Implantation gemäß Fig. 4A eingebrachten Oxidations- bzw. Wachstumshemmern x, wobei lediglich auf der von der Implantation I_{NS} abgewandten Seite eine dicke Thermo-Isolationsschicht 5 ausgebildet wird und ansonsten (aufgrund der eingebauten Isolationsschicht-Wachstumshemmer x) eine dünne SiO_2 -Schicht ausgebildet wird. Die Thermo-Isolationsschicht 5 wirkt hierbei gemeinsam mit der Rest-Isolationsschicht RI wiederum als Streuschicht SO_x , die in einem nachfolgenden Implantationsprozeß zum Ausbilden der stark dotierten Source- und Draingebiete S und D verwendet werden kann.

[0037] Ferner ergeben sich gemäß Fig. 4B unterschiedliche Vogelschnäbel bzw. birds peaks BP und BP' an den Kanten bzw. Ecken der Gateschicht 3, weshalb beispielsweise gezielt ein gateinduzierter Drain-Leckstrom (GIDL, gate induced drain leakage) verhindert bzw. verringert werden kann. Auf diese Weise lassen sich die Kurzkanaleigenschaften eines Feldeffekttransistors weiter an die jeweiligen Anforderungen einer dazugehörigen Schaltung anpassen bzw. optimieren, wodurch sich insbesondere in eingebetteten (embedded) Prozessen zur Ausbildung von dynamischen oder nichtflüchtigen Halbleiterspeicherzellen optimale Ladungshalteeigenschaften realisieren lassen. Ferner lassen sich dadurch die vertikalen Schichtdicken von Streu-Isolati-

onsschichten SO exakt einstellen.

[0038] Die Erfindung wurde vorstehend mit einer Polysilizium-Gateschicht beschrieben. Sie ist jedoch nicht darauf beschränkt und umfaßt vielmehr alle weiteren elektrisch leitenden Gateschichten, die mittels einer thermischen Oxidation das Ausbilden von sogenannten birds peaks ermöglicht. Ferner wurde die Erfindung anhand einer einfachen Feldeffekttransistorstruktur beschrieben. Sie ist jedoch nicht darauf beschränkt und umfaßt vielmehr auch sogenannte nicht-flüchtige Feldeffekttransistorstrukturen mit einem zusätzlichen schwebenden bzw. floating Gate.

10. Verfahren nach einem der Patentansprüche 1 bis 9, dadurch gekennzeichnet, dass die Gateschicht (3) Polysilizium aufweist.

11. Verfahren nach einem der Patentansprüche 1 bis 10, dadurch gekennzeichnet, dass die Gate-, Rest- und Thermo-Isolationsschicht (2, RI, 5) sowie die Hartmaske (4) eine Siliziumoxidschicht aufweisen.

Hierzu 4 Seite(n) Zeichnungen

Patentansprüche

1. Verfahren zur Herstellung eines Feldeffekttransistors mit Seitenwandoxidation bestehend aus den Schritten:

- a) Ausbilden einer Gate-Isolationsschicht (2) auf einem Halbleitersubstrat (1);
- b) Ausbilden einer Gateschicht (3) auf der Gate-Isolationsschicht (2);
- c) Strukturieren der Gateschicht (3) und der Gate-Isolationsschicht (2) zum Ausbilden eines Gate-Stapels (GS);
- d) Implantieren von Isolationsschicht-Wachstumshemmern (x);
- e) Ausbilden einer Thermo-Isolationsschicht (5) an der Oberfläche des Halbleitersubstrats (1) und des Gate-Stapels (GS); und
- f) Ausbilden von Source- und Draingebieten (S, D) im Halbleitersubstrat (1).

2. verfahren nach Patentanspruch 1, dadurch gekennzeichnet, dass die im Schritt d) implantierten Isolationsschicht-Wachstumshemmer (x) N, N₂ oder Nitride aufweisen.

3. Verfahren nach Patentanspruch 1 oder 2, dadurch gekennzeichnet, dass das Implantieren der Isolationsschicht-Wachstumshemmer (x) in Schritt d) senkrecht zur Oberfläche des Halbleitersubstrats (1) erfolgt.

4. Verfahren nach Patentanspruch 1 oder 2, dadurch gekennzeichnet, dass das Implantieren der Isolationsschicht-Wachstumshemmer (x) in Schritt d) schräg zur Oberfläche des Halbleitersubstrats (1) erfolgt.

5. Verfahren nach einem der Patentansprüche 1 bis 4, dadurch gekennzeichnet, dass das Implantieren der Isolationsschicht-Wachstumshemmer (x) in Schritt d) unmittelbar in das Halbleitersubstrat (1) und/oder in eine Rest-Isolationsschicht (RI) der Gate-Isolationsschicht (2) erfolgt.

6. Verfahren nach einem der Patentansprüche 1 bis 5, dadurch gekennzeichnet, dass das Ausbilden der Thermo-Isolationsschicht (5) in Schritt e) eine thermische Seitenwandoxidation darstellt.

7. Verfahren nach einem der Patentansprüche 1 bis 6, dadurch gekennzeichnet, dass das Ausbilden der Source- und Draingebiete (S, D) in Schritt f) einen Schritt zum Ausbilden von stark und schwach dotierten Source- und Draingebieten aufweist, wobei das Ausbilden der schwach dotierten Source- und Draingebiete (S, D) vor oder nach dem Implantieren der Isolationsschicht-Wachstumshemmer (x) in Schritt d) erfolgt.

8. Verfahren nach einem der Patentansprüche 1 bis 7, dadurch gekennzeichnet, dass das Strukturieren der Gateschicht (3) in Schritt c) unter Verwendung einer Hartmaske (4) erfolgt.

9. Verfahren nach einem der Patentansprüche 1 bis 8, dadurch gekennzeichnet, dass das Halbleitersubstrat (1) Si aufweist.

- Leerseite -

FIG 3A



FIG 3B

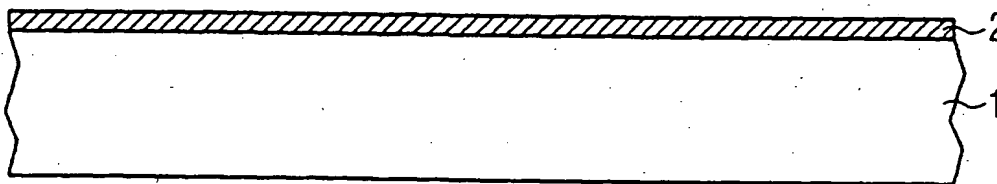


FIG 3C

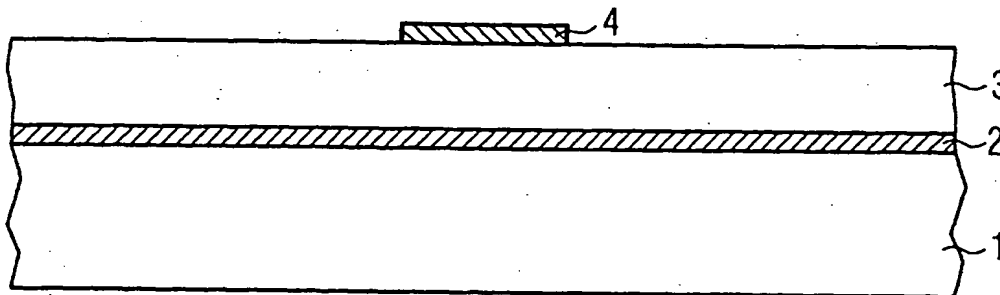


FIG 3D

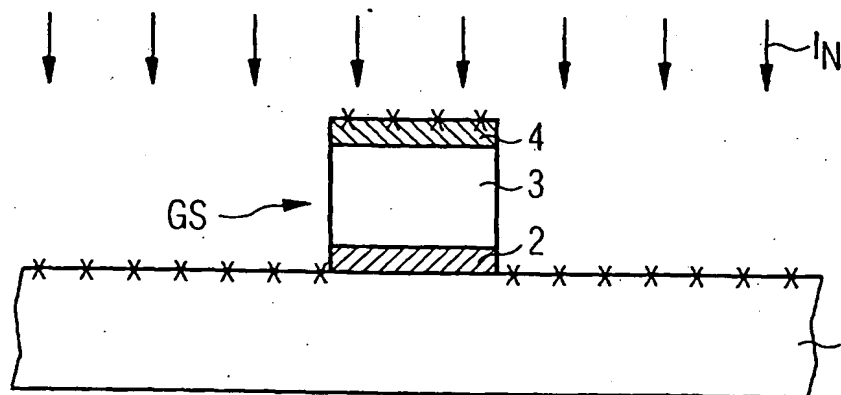


FIG 3E

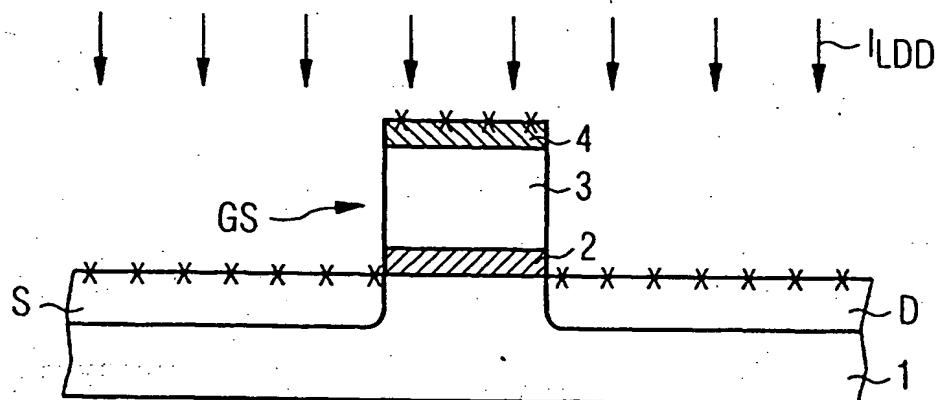


FIG 3F

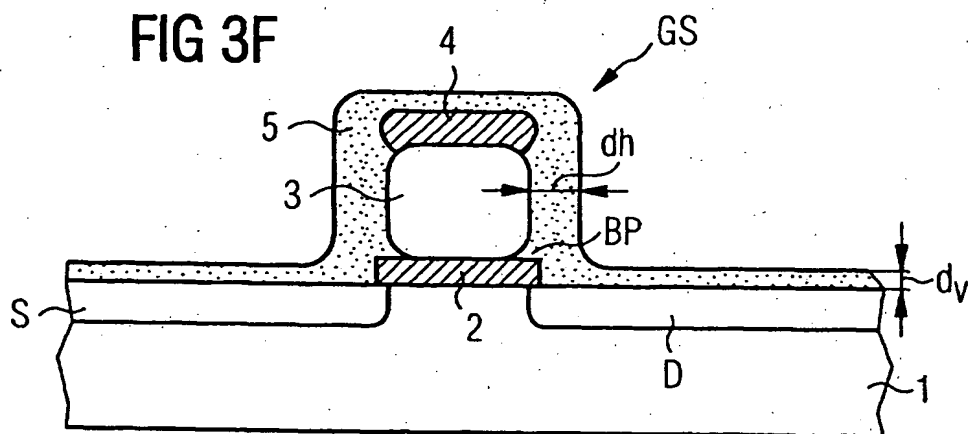


FIG 3G

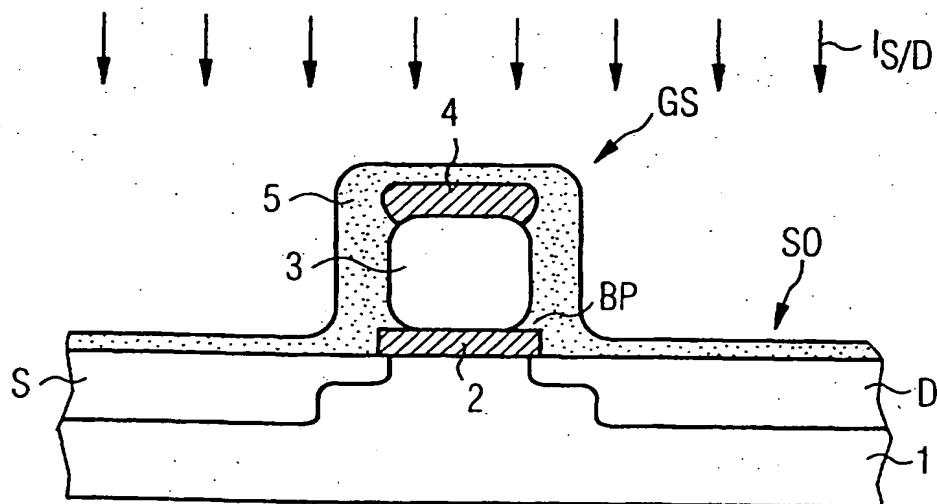


FIG 4A

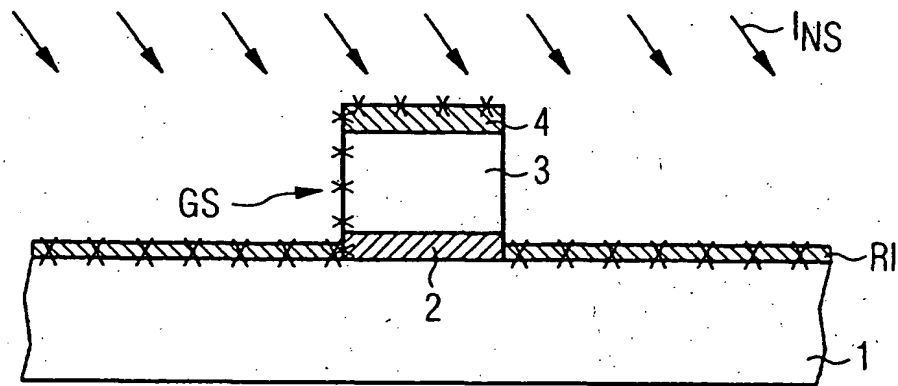


FIG 4B

